

PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Tomohiro KUSANAGI

Serial No. (unknown)

Filed herewith

LIQUID CRYSTAL DISPLAY DEVICE
FOR PREVENTING AN AFTERIMAGE



CLAIM FOR FOREIGN PRIORITY UNDER 35 U.S.C. 119
AND SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

Attached hereto is a certified copy of applicant's corresponding patent application filed in Japan on January 25, 2000, under No. 2000-016302.

Applicant herewith claims the benefit of the priority filing date of the above-identified application for the above-entitled U.S. application under the provisions of 35 U.S.C. 119.

Respectfully submitted,

YOUNG & THOMPSON

By

A handwritten signature in black ink, appearing to read 'Robert J. Patch', is written over a horizontal line.

Robert J. Patch
Attorney for Applicant
Customer No. 000466
Registration No. 17,355
745 South 23rd Street
Arlington, VA 22202
Telephone: 703/521-2297

January 23, 2001

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 1月25日

出願番号

Application Number:

特願2000-016302

出願人

Applicant(s):

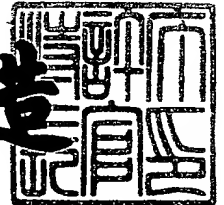
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 9月22日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3077245

OSR 10029~31

US 志 貴

JCS31 U.S. PTO
09/767149



【書類名】 特許願

【整理番号】 74610444

【提出日】 平成12年 1月25日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/36

【発明の名称】 液晶表示装置及びその駆動方法

【請求項の数】 7

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 草薙 智宏

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100108578

 【弁理士】

 【氏名又は名称】 高橋 詔男

【代理人】

 【識別番号】 100064908

 【弁理士】

 【氏名又は名称】 志賀 正武

【選任した代理人】

 【識別番号】 100101465

 【弁理士】

 【氏名又は名称】 青山 正和

【選任した代理人】

 【識別番号】 100108453

 【弁理士】

 【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709418

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置及びその駆動方法

【特許請求の範囲】

【請求項 1】 画素電極と、
共通電極と、
相交差する複数のデータ線及び複数のゲート線と、
前記画素電極に対応して設けられ、前記データ線及びゲート線の信号により制御され、前記画素電極にデータ線の信号を供給する複数のスイッチング手段と、
前記ゲート線を走査するゲート線駆動手段と、
前記データ線を表示すべき階調に対応して駆動するデータ線駆動手段と、
前記ゲート線駆動手段及び前記データ線駆動手段とを制御する制御手段と、
を有する液晶表示装置において、
前記制御手段は、
液晶表示装置への入力信号が無入力状態であることを検出する信号無入力検出手段を有し、
前記信号無入力検出手段によって信号無入力状態が検出された時点で、前記ゲート線駆動手段へ全ての前記ゲート線を所定の期間アクティブ状態とする信号を出力し、
前記データ駆動手段へ全ての前記データ線に前記共通電極に印加されている電位と同等の電位を所定の期間供給する信号を出力することを特徴とする液晶表示装置。

【請求項 2】 前記所定の期間は、全ての前記画素電極に前記共通電位を供給することにより、前記液晶に蓄電されている全ての電荷を放電する時間に設定されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】 前記入力信号は、映像信号、水平同期信号、垂直同期信号のいずれかであることを特徴とする請求項 1 または請求項 2 に記載の液晶表示装置。

【請求項 4】 電源オフ後も一定時間電源を供給する電源保持回路を有することを特徴とする請求項 1 ～ 3 のいずれかの項に記載の液晶表示装置。

【請求項 5】 電源オフ後において、
前記データ線駆動手段は、全ての前記データ線を接地させる
ことを特徴とする請求項 1～4 のいずれかの項に記載の液晶表示装置。

【請求項 6】 前記所定の期間は、抵抗及びコンデンサの時定数により決定
されていることを特徴とする請求項 1～5 のいずれかの項に記載の液晶表示装置
。

【請求項 7】 画素電極と、共通電極と、相交差する複数のデータ線及び複
数のゲート線と、前記画素電極に対応して設けられ前記データ線及びゲート線の
信号により制御され、前記画素電極にデータ線の信号を供給する複数のスイッ
チング手段と、前記ゲート線を走査するゲート線駆動手段と、前記データ線を表示
すべき階調に対応して駆動するデータ線駆動手段と、前記ゲート線駆動手段及び
前記データ線駆動手段とを制御する制御手段とを有する液晶表示装置において、

前記液晶表示装置への入力信号の無入力状態を検出し、
無入力状態が検出された時点において、全ての前記ゲート線を一齐に所定の期
間アクティブ状態とし、

全ての前記データ線には前記共通電極に印加されている電位と同等の電位を所
定の期間供給する

ことを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、残像の改善を実現する液晶表示装置及びその駆動方法に関する。

【0 0 0 2】

【従来技術】

従来の液晶表示装置においては、その使用を終了するために利用者が液晶表示
装置の電源をオフに操作すると、画面クリアの操作は行われなまま表示装置本
体の電源が切断される。これにより各種信号（走査線駆動信号、データ線駆動信
号等）の液晶表示パネルへの供給が切断され、液晶表示パネルの液晶容量に蓄え
られていた電荷の外部放電経路は遮断される。その後、電荷は自己放電により徐

々に減少し、表示画像は次第にクリアされていく。

【 0 0 0 3 】

しかし、液晶容量に電荷を蓄積させた状態が長時間保持されると、残像が発生する原因となり、表示品質の低下や、長期信頼性を損なうこととなる。

この残像が生じるメカニズムについて説明する。

図 7 (a) 、 (b) は、液晶表示装置における液晶パネルの単位画素の概念図を示している。このように、単位画素の基本構成は、2 枚の電極間に液晶を封入し、前記電極間に映像信号に応じた電圧を印加することにより、液晶分子の配向を変化させて光の透過率を制御することにより所望の階調表示を得ることを可能としている。

【 0 0 0 4 】

このような単位画素の製造時には、電極間に液晶材を封入する工程で微量のイオン性物質 P が混入してしまう (図 7 の (a) 参照) 。このようにイオン性物質 P が封入されている状態であっても、理想的な交流信号が 2 枚の電極間に印加されていればイオン性物質 P は電極上に集積しないため、光の透過率、即ち液晶分子の配向に影響を及ぼすことはない。

【 0 0 0 5 】

しかし、実際に両電極間へ印加される電圧には、少なからず直流成分が含まれている。この直流成分の電圧が両電極間へ印加されると、イオン性物質 P がそのイオンの性質によっていずれかの電極へと引き付けられ、図 6 (b) のように電極上に集積してしまう。このようにイオン性物質 P が電極上に集積すると、電極間に映像信号に応じた交流信号を印加しても、液晶に印加される電圧は電極上に集積されたイオン性物質 P の影響を受けるため、実際とは異なる電圧によって液晶分子の配向が制御されることとなる。このためイオン性物質が多量に電極上に重畳すると液晶への印加電圧が大きく変化してしまい、イオン性物質が電極上に重畳していない他の画素との輝度差が大きくなる。これが残像として視認されることとなる。

【 0 0 0 6 】

このような残像を防ぐために、例えば特許第 2 6 5 5 3 2 8 号に記載された液

晶表示装置では、電源が遮断された時点を検出し、その検出信号に基づき電源保持回路を通じて、画素電極に対応して設けられているスイッチング素子を所定時間オンに保持することにより、放電経路を確保して液晶容量に蓄積されている電荷を強制的に放電させた後に、液晶表示装置本体の電源が切断されるようになっている。

【 0 0 0 7 】

【発明が解決しようとする課題】

しかし、通常、液晶表示装置の電源オフ時の立ち下りのシーケンスは、まず液晶表示パネルに乱れた画像が表示されないようにバックライトが消灯され、次に同期信号や、映像信号などの入力信号がオフされた後に、電源が遮断されるように設定されている。

従って、電源が遮断されたことを検出してから、液晶容量に蓄積されている電荷を放電させる従来の液晶表示装置では、同期信号などの入力信号がオフになってから電源が遮断されるまでの期間は、短時間ではあるが液晶がチャージアップした状態となるため、液晶には直流電圧が印加されていることとなり、長期的には液晶材料の信頼性を低下させ、残像を引き起こす原因となった。

【 0 0 0 8 】

また、近年開発された F A (Factory Automation) や、モニターの中には、複数の装置の一部に液晶表示装置が設けられているものがあり、また、全ての装置の電源を共通の電源から供給しているものもある。このような場合には、液晶表示装置のみ電源を遮断することが不可能となる。したがって、液晶表示装置の使用を終了する際には、入力信号のみを遮断し、電源を切るという動作を行わない。

このような F A 用の液晶表示装置として、電源が遮断された時点で液晶容量の電荷を放電する従来の液晶表示装置を適用すると、強制的に液晶容量に蓄積されている電荷を放電させることが不可能となる。

【 0 0 0 9 】

従って、液晶容量に蓄積されている電荷が自己放電によって消滅する期間、液晶には直流電圧が印加されている状態となるため、液晶内のイオン性物質が電極

上に重畳され、残像の原因を引き起こすこととなる。

【0010】

上述してきたように、特許第2655328号に提案されているような従来の液晶表示装置においては、頻繁に電源のオン／オフを繰り返すことにより、イオン性物質が電極に重畳され、長期的には残像やしみを生じさせることになり、液晶の寿命の低下や、長期信頼性を損なうという問題が生じる。

【0011】

本発明はこのような事情に鑑みてなされたもので、入力信号の無入力状態を検出し、液晶容量に蓄積されている電荷を強制的に放電させることにより、液晶に直流電圧を印加する時間を一層短くすることで残像の防止を図り、液晶の寿命と信頼性の向上を図った液晶表示装置及びその駆動方法を提供することを目的とする。

【0012】

【課題を解決するための手段】

上記目的を達成するために、請求項1に記載の発明は、画素電極と、共通電極と、相交差する複数のデータ線及び複数のゲート線と、前記画素電極に対応して設けられ、前記データ線及びゲート線の信号により制御され、前記画素電極にデータ線の信号を供給する複数のスイッチング手段と、前記ゲート線を走査するゲート線駆動手段と、前記データ線を表示すべき階調に対応して駆動するデータ線駆動手段と、前記ゲート線駆動手段及び前記データ線駆動手段とを制御する制御手段とを有する液晶表示装置において、前記制御手段は、液晶表示装置への入力信号が無入力状態であることを検出する信号無入力検出手段を有し、前記信号無入力検出手段によって信号無入力状態が検出された時点において、前記ゲート線駆動手段へ全ての前記ゲート線を一齐に所定の期間アクティブ状態とする信号を出力し、前記データ駆動手段へ全ての前記データ線に前記共通電極に印加されている電位と同等の電位を所定の期間供給する信号を出力することを特徴とする。

【0013】

また、請求項2に記載の発明は、請求項1に記載の液晶表示装置において、前記所定の期間は、全ての前記液晶に蓄電されている全ての電荷を放電する時間に

設定されていることを特徴とする。

【 0 0 1 4 】

また、請求項 3 に記載の発明は、請求項 1 または請求項 2 に記載の液晶表示装置において、前記入力信号は、映像信号、水平同期信号、垂直同期信号のいずれかであることを特徴とする。

【 0 0 1 5 】

また、請求項 4 に記載の発明は、請求項 1 ～ 3 のいずれかの項に記載の液晶表示装置において、電源オフ後も一定時間電源を供給する電源保持回路をすることを特徴とする。

【 0 0 1 6 】

また、請求項 5 に記載の発明は、請求項 1 ～ 4 のいずれかの項に記載の液晶表示装置において、電源オフ後において、前記データ線駆動手段は、全ての前記データ線を接地させることを特徴とする。

【 0 0 1 7 】

また、請求項 6 に記載の発明は、請求項 1 ～ 5 のいずれかの項に記載の液晶表示装置において、前記所定の期間は、抵抗及びコンデンサの時定数により決定されていることを特徴とする。

【 0 0 1 8 】

また、請求項 7 に記載の発明は、画素電極と、共通電極と、画素電極と、共通電極と、相交差する複数のデータ線及び複数のゲート線と、前記データ線及びゲート線の信号により制御され、前記画素電極にデータ線の信号を供給する複数のスイッチング手段と、前記ゲート線を走査するゲート線駆動手段と、前記データ線を表示すべき階調に対応して駆動するデータ線駆動手段と、前記ゲート線駆動手段及び前記データ線駆動手段とを制御する制御手段とを有する液晶表示装置において、前記液晶表示装置への入力信号の無入力状態を検出し、信号無入力状態が検出された時点において、全ての前記ゲート線を所定の期間アクティブ状態とし、全ての前記データ線には前記共通電極に印加されている電位と同等の電位を所定の期間供給することを特徴とする。

【 0 0 1 9 】

【発明の実施の形態】

以下、図面を参照し、本発明の一実施形態について説明する。図 2 は、同実施形態による IPS (in-plane-switching) 型液晶表示装置の概略全体構成を示すブロック図、図 4 は表示パネル 50 の単位画素の構成を示す回路図、図 5 は表示パネル 50 の単位画素の構造を示す図である。

【0020】

まず、図 4 において、符号 CL は液晶の等価回路としての液晶容量であり、符号 RL は液晶抵抗である。これら液晶容量 CL と液晶抵抗 RL との並列回路は、容量 C1 を介して画素電極 74 に接続され、また容量 C2 を介して共通電極 76 に接続されている。画素電極 74 は、薄膜トランジスタ (TFT) 72 のソースと接続され、薄膜トランジスタ 72 のドレインは画素電極 74 の印加電圧を制御する信号が印加されるデータ線 80 に接続されている。薄膜トランジスタ 72 のゲートはゲート線 82 に接続され、共通電極 76 は共通電極配線 70 に接続されている。

なお、容量 C1、C2 は、透明絶縁性基板上に形成された画素電極 74 と共通電極 76 とが、パッシベーション膜を介して画素を構成する液晶と接するように構成されているために形成される容量である。

【0021】

このような構成においてゲート線 82 が駆動されると、薄膜トランジスタ 72 はオン状態となり、データ線 80 の映像信号は画素電極 74 へ供給される。これにより、液晶容量 CL には共通電極と画素電極との電位差が印加される。この結果、液晶分子の配向は変化し、階調表示が可能となる。

【0022】

次に、上述した単位画素の構造を図 5 に示す。この図において、下側に配置された第 1 の透明絶縁性基板 30 の内側には共通電極 31 及び共通電極 31 に接続される共通電極配線 32 とがパターンニングされ、形成されている。共通電極 31 及び共通電極配線 32 上にはゲート絶縁膜 34 が堆積され、このゲート絶縁膜 34 上には、画素電極 35 及び画素電極 35 に薄膜トランジスタを介して接続されるデータ線 36 がパターンニングされて形成されている。画素電極 35 及びデータ

線 3 6 上には保護絶縁膜 3 7 が堆積され、該保護絶縁膜 3 7 上には配向膜 4 2 が形成されている。また第 1 の透明絶縁性基板 3 0 の外側には偏光板 4 4 が貼着されている。

【 0 0 2 3 】

一方、上側に配置された第 2 の透明絶縁性基板 3 8 の内側には、第 2 の透明絶縁性基板 3 8 側からの入射光が直接、薄膜トランジスタに照射されることを防止し、さらに、ゲート線およびデータ線と表示部との間の表示に寄与しない部分からの漏れ光を防止するための遮光層として機能するブラックマトリクス 3 9 が形成され、ブラックマトリクス 3 9 の間にカラーフィルタを構成する色層 4 0 が形成されている。ブラックマトリクス 3 9 及び色層 4 0 の内側にはオーバコート層 4 1 が形成されており、このオーバコート層 4 1 の内側にはさらに、配向膜 4 2 が形成されている。また第 2 の透明絶縁性基板 3 8 の外側には透明導電膜 4 3 が形成され、さらに透明導電膜 4 3 の外側には偏光板 4 4 が貼着されている。

【 0 0 2 4 】

このように各種の電極層、絶縁層等が形成された第 1 の透明絶縁性基板 3 0 と第 2 の透明絶縁性基板 3 8 とが図示していないスペーサ部材を介して一定間隔に保持され、配向膜 4 2、4 2 間には封入された液晶層 5 0 が形成されている。液晶としては、固定パターンの長時間表示に伴う残像を避けるために、比抵抗が $10^{12} \Omega \cdot \text{cm}$ 程度の比較的抵抗の低い材料を用いた。

【 0 0 2 5 】

次に、上述の液晶パネル 5 0 を有する本実施形態における液晶表示装置について図 2 を参照して説明する。

同図において、符号 2 0 は映像信号処理回路であり、外部機器から入力された映像データや、水平同期信号 H_{sync} 及び垂直同期信号 V_{sync} から、表示パネル 5 0 に画像を表示するのに必要な信号を生成する。具体的には、映像データや、水平同期信号 H_{sync} 及び垂直同期信号 V_{sync} から各表示画素対応の R、G、B の映像信号及びデータ線 $S_1 \sim S_m$ を駆動するデータ線駆動信号 D_s を生成してソースドライバ 1 1 へ供給し、また、共通電極配線（図示略）に供給する共通電極電圧 V_{com} や、ゲート線 $G_1 \sim G_n$ を駆動するゲート線駆動信

号G sを生成し、ゲートドライバ10に供給する。

【0026】

ゲートドライバ10は、映像信号処理回路20から供給されたゲート線駆動信号G sに基づいてゲート線G 1～G nを順次駆動する。一方、ソースドライバ11はデータ線駆動信号D sに基づいてデータ線S 1～S mを順次駆動し、これにより映像信号処理回路20から供給された画素対応の映像信号d a t aが各データ線S 1、S 2…へ順次送り出される。

符号24は、液晶パネル50に背面から光を照射するバックライトであり、符号26はバックライト24の点灯を映像信号処理回路20から供給される信号に基づいて制御するバックライト駆動回路である。

表示パネル50は、図4に示した単位画素がマトリクス状（n行、m列とする）に配列されて構成されている。

【0027】

次に、上記構成からなる液晶表示装置の動作について図1～図3を参照して説明する。なお、図1は図2に示した各部の内部構成を示したものである。また、図3は、図1に示される各部の出力波形を示すタイミングチャートである。

図1において、まず、外部機器から出力された同期信号（水平同期信号及び垂直同期信号）、映像データd a t a、電源信号は、映像信号処理回路20（図2参照）内の信号無入力検出回路60及び信号処理回路75へ出力される。信号無入力検出回路60は、これら入力信号の有無を検出する回路であり、信号が入力されている時には“H”を、信号の入力がなくなると“L”を出力する。この場合においては、同期信号は入力されている状態にあるので出力は“H”である（図3の（ハ）参照）。

【0028】

一方、信号処理回路75は入力された水平同期信号（図3の（イ）参照）、垂直同期信号（図3の（ロ）参照）から、フレームパルスF s、垂直走査タイミング信号V s及びゲート線駆動信号G sを生成する。ここで、フレームパルスF sは1画面が表示される毎に1回発生するパルスであり、基本的には映像データd a t aのフォーマットによって決められる。垂直走査タイミング信号V sは1画

面の垂直走査毎に 1 回発生するパルスであり、1 フレームにおいて垂直走査が所定のサイクルで等間隔に行われる。また、ゲート線駆動信号 G_s はゲート線 $G_1 \sim G_n$ を駆動するタイミングを示す信号であり、1 垂直走査期間において走査線 $G_1 \sim G_n$ の数、即ち n 回発生する。

【 0 0 2 9 】

信号処理回路 7 5 によって生成されたゲート線駆動信号 G_s はゲートドライバ 1 0 内のシフトレジスタ 1 2 のクロック CK へ供給され、また、垂直走査タイミング信号 V_s はシフトレジスタ 1 2 のデータ D へ供給される。シフトレジスタ 1 2 は、信号処理回路 7 5 から供給されたこれら信号に基づいて、各ゲート線 G_1 、 $G_2 \dots G_n$ を順次駆動する（図 3 の（ホ）参照）。シフトレジスタ 1 2 は、 D フリップフロップが直列接続されて構成される。

【 0 0 3 0 】

また、信号処理回路 7 5 は、入力された映像データに基づいて単位画素対応の映像信号 $data$ を生成し、上述の垂直走査タイミング信号 V_s 及びゲート線駆動信号 G_s と共にソースドライバ 1 1 内の水平信号処理回路 1 6 へ供給する。水平信号処理回路 1 6 は、信号処理回路 7 5 から供給された垂直走査タイミング信号 V_s 、ゲート線駆動信号 G_s 及び映像信号 $data$ に基づいて、データ線 $S_1 \sim S_m$ を駆動するデータ線駆動信号 D_s を生成し、このデータ線駆動信号 D_s に基づいて各データ線 $S_1 \sim S_m$ を駆動する。

出力切替え回路 1 0 0 は、データ線 $S_1 \sim S_m$ へ供給される信号の供給経路を切り替える回路であり、この出力切替え回路 1 0 0 はタイミングコントローラ 7 0 内のワンショットマルチバイブレータ 7 1 から出力されるパルス信号 MG によって制御される。出力切替え回路 1 0 0 は、通常作動時には全てのデータ線 $S_1 \sim S_m$ を水平信号処理回路 1 6 へ接続するよう制御される。

【 0 0 3 1 】

上述したように、ゲート線 $G_1 \sim G_n$ が順次駆動されることにより、図 3 に示した表示パネル 5 0 の単位画素に設けられた薄膜トランジスタ 7 2 が順次オン状態となり、データ線 8 0 の信号が画素電極 7 4 へ供給される。これにより、映像信号に対応した電圧が液晶容量 CL に印加され、液晶分子の配向が変化すること

で任意の階調が得られる。

【 0 0 3 2 】

次に、上述したような通常動作の後、利用者により液晶表示装置オフの操作がなされ、入力信号が入力されなくなった場合について説明する。なお、本実施形態における液晶表示装置は、利用者によって液晶表示装置オフの要求を受けた後に、入力信号のみをオフにする操作が行われるものであり、電源の遮断は実施しないものとする。

まず、入力信号が液晶表示装置に供給されなくなると、信号無入力検出回路 60 は、入力信号が所定の時間、例えば水平同期信号の周期（図 3（イ）の H_r ）よりも長い間水平同期信号が入力されない状態を検出し、時刻 t_1 において判定信号 $POWC$ を“L”（図 3 の（ハ）参照）として、タイミングコントローラ 70 内のワンショットマルチバイブレータ 71 に出力する。ワンショットマルチバイブレータ 71 は、“L”である判定信号 $POWC$ が入力されると、パルス幅が T 時間であるパルス信号 MG を出力する（図 3 の（ニ）参照）。このパルス信号 MG は、ゲートドライバ 10 内のシフトレジスタ 12 のプリセット PR に供給されるとともに、ソースドライバ 11 内の出力切替え回路 100 へ供給される。なお、このパルス信号 MG のパルス幅 T は、単位画素に設けられている液晶容量 C_L に蓄積されている電荷を放電するのに十分な時間であり、ワンショットマルチバイブレータ 71 内のコンデンサと、抵抗によって予め設定されている値である。

【 0 0 3 3 】

そして、シフトレジスタ 12 のプリセット PR に“H”であるパルス信号 MG が入力されると、シフトレジスタ 31 は全てのゲート線 $G_1 \sim G_n$ に対して、“H”の信号を出力する。この状態はパルス信号 MG が立ち下がる時刻 t_2 まで保持される。

一方、出力切替え回路 100 は、“H”であるパルス信号 MG が入力されることにより、データ線 $S_1 \sim S_m$ への入力信号供給経路を水平信号処理回路 16 から共通電位 V_{com} へと切り替える。これにより、時刻 t_1 において、全てのデータ線 $S_1 \sim S_m$ は共通電位 V_{com} に固定される（図 3（ヘ）参照）。

【 0 0 3 4 】

これにより、単位画素（図 4 参照）では、ゲート線 8 2 がアクティブ状態になることにより薄膜トランジスタ 7 2 がオン状態とされ、データ線 8 0 に印加されている共通電位 V_{com} が画素電極 7 4 に供給されることにより、液晶容量 C_L 、 C_1 、 C_2 の合成容量に蓄積されていた電荷はデータ線 8 0 を介して放電する。この動作は全ての単位画素に一齐に実施される。

【0035】

次に、時刻 t_2 において、パルス信号 MG が“L”となると、シフトレジスタ 1 2 はアクティブ状態としていた全てのゲート線 $G_1 \sim G_n$ をオフ状態とする。これにより、単位画素の薄膜トランジスタ 7 2 はオフ状態となる。

一方、出力切替え回路 1 0 0 は、データ線 $S_1 \sim S_m$ への入力信号の供給経路を共通電位 V_{com} から水平信号処理回路 1 6 へ切り替える。なお、この時点では、同期信号等の入力信号は遮断されているため、水平信号処理回路 1 6 へ切り替えてもデータ線は駆動されること無く、そのまま接地されている状態となる。

【0036】

なお、水平同期信号 $Hsync$ 、垂直同期信号 $Vsync$ が入力されなくなった時刻から、時刻 t_1 において信号無入力検出回路 6 0 が入力信号が無くなったことを判定するまで、即ち、入力信号オフ時から判定信号 $POWC$ を“L”にして出力するまでには、例えば、40 msec 程度の時間が必要とされる。

【0037】

図 6 に、本発明による液晶表示装置と、従来の液晶表示装置とが FA に使用された場合において、液晶に蓄積されている電荷が消滅するまでの時間の推移を示す。この図において、横軸は消滅時間を示し、縦軸は液晶容量に蓄積されている電荷の強さを示している。図中 A が本発明の液晶表示装置による電荷の推移であり、 B が従来の液晶表示装置による電荷の推移である。本発明の液晶表示装置によれば、電荷の消滅時間は 0.5 秒以下なのに対し、従来の液晶表示装置では、電荷が消滅するまでに約 10 秒ほどかかる。

【0038】

図 6 から明らかなように、本発明の液晶表示装置は従来の液晶表示装置に比べ、液晶がチャージアップしている期間が大幅に短縮され、これにより残像を解

消することが可能となる。この結果、液晶表示装置としての品質向上、長期信頼性の向上など、多大な効果を得ることができる。

【0039】

なお、本実施形態においては、本液晶表示装置はその使用終了時において入力信号のみを遮断し、電源については遮断しない場合について説明したが、電源保持回路を更に設けることにより、電源が最後に遮断される場合においても適用することが可能となる。

これにより、電源が遮断された後においても、一定時間各部に電源が供給され、単位画素の液晶容量 C_L に蓄えられた電荷を放電することができる。

例えば、図3における時刻 $t_1 \sim t_2$ の期間において、電源が遮断された場合には、この電源保持回路からゲートドライバ10、タイミングコントローラ70及びソースドライバ11へ電力を供給することにより、上述したような液晶容量 C_L に蓄積された電荷を放電するための一連の動作を継続させることが可能となる。

【0040】

また、電源保持回路から各部に電力を供給する際に、ソースドライバ11へは電源供給をせずに、データ線 $S_1 \sim S_m$ をGNDに接続することで、液晶容量 C_L に蓄積されている電荷を放電することも可能である。即ち、電源が遮断されているため、共通電位はGNDとなっている。したがって、データ線をGNDに接続することで、共通電極に印加されている電位と同等の電位がデータ線に印加され、液晶容量に蓄積されている電荷を放電することが可能となる。

なお、本発明の一実施形態としてIPS型液晶表示装置について説明したが、液晶パネルの構造はこれに限定すること無く、如何なる構造の液晶パネルであっても同様の効果を奏することができる。

【0041】

【発明の効果】

以上説明したように、本発明の液晶表示装置によれば、制御手段は、液晶表示装置への入力信号が無入力状態であることを検出する信号無入力検出手段を有し、信号無入力検出手段によって信号無入力状態が検出された時点で、ゲート線駆

動手段へ全てのゲート線を所定の期間アクティブ状態とする信号を出力し、データ駆動手段へ全てのデータ線に共通電極に印加されている電位と同等の電位を所定の期間供給する信号を出力する。

このように、入力信号の無入力状態を検出し、液晶に蓄積されている電荷を強制的に放電させることにより、表示パネル内がチャージアップしている時間を一層短縮させることが可能となり、この結果、残像を解消し、液晶の寿命と長期信頼性の向上を実現させることが可能となる。

【 0 0 4 2 】

特に、本発明による液晶表示装置が電源をオフにしない用途に用いられた場合、即ち液晶表示装置の使用終了時に、入力信号のみが遮断されて、電源の供給は継続されるような使用状況下で使用される場合においては、電源遮断を検出した後に液晶容量に蓄積された電荷を放電する従来の液晶表示装置に比べ、液晶がチャージアップしている期間が大幅に短縮される。

【 0 0 4 3 】

また、請求項2に記載の発明によれば、ゲート線を駆動する期間は、全ての液晶容量に蓄電されている電荷を放電する時間に設定されている。このように、液晶に蓄積されている電荷をすべて放電しきった後に、ゲート線がオフとなるため、残像の発生を低下させることが可能となる。

【 0 0 4 4 】

また、請求項4に記載の発明によれば、電源オフ後も電源を所定時間供給する電源保持回路を有するので、液晶容量に蓄積されている全ての電荷が放電される前に、電源が遮断されてしまった場合においても、ゲート線駆動手段及びデータ線駆動手段には電源保持回路から電力が供給されるため、スイッチング素子のオン状態を保持することができ、また画素電極には共通電位を供給することが可能となる。これにより電荷の放電を継続して行うことが可能となり、液晶容量に蓄積されている電荷をすべて放電することが可能である。この結果、残像の発生を解消することができるという利点を得ることができる。

【 0 0 4 5 】

また、請求項5に記載の発明によれば、電源オフ後において、データ線駆動手

段は、全ての前記データ線を接地させるので、データ線駆動手段には、電力を供給する必要が無くなり、電源保持回路が供給する電力を少なくすることが可能となる。

【 0 0 4 6 】

また、請求項 6 に記載の発明によれば、所定の期間は、抵抗及びコンデンサの時定数により決定されているので、簡単な回路によって信号無入力後、ゲート線及びデータ線を駆動する期間を設定することが可能となり、設定値の変更も簡単に行うことができる。

【図面の簡単な説明】

【図 1】 この発明の一実施形態による液晶表示装置の構成を示すブロック図である。

【図 2】 同実施形態における液晶表示装置の概略構成を示す図である。

【図 3】 同実施形態における液晶表示装置の各部の動作を示すタイミングチャートである。

【図 4】 同実施形態における表示パネル 5 0 の単位画素の回路を示す図である。

【図 5】 同実施形態における表示パネル 5 0 の単位画素の構造を示す図である。

【図 6】 本発明の効果を示す図である。

【図 7】 長期残像の発生メカニズムを説明するための図である。

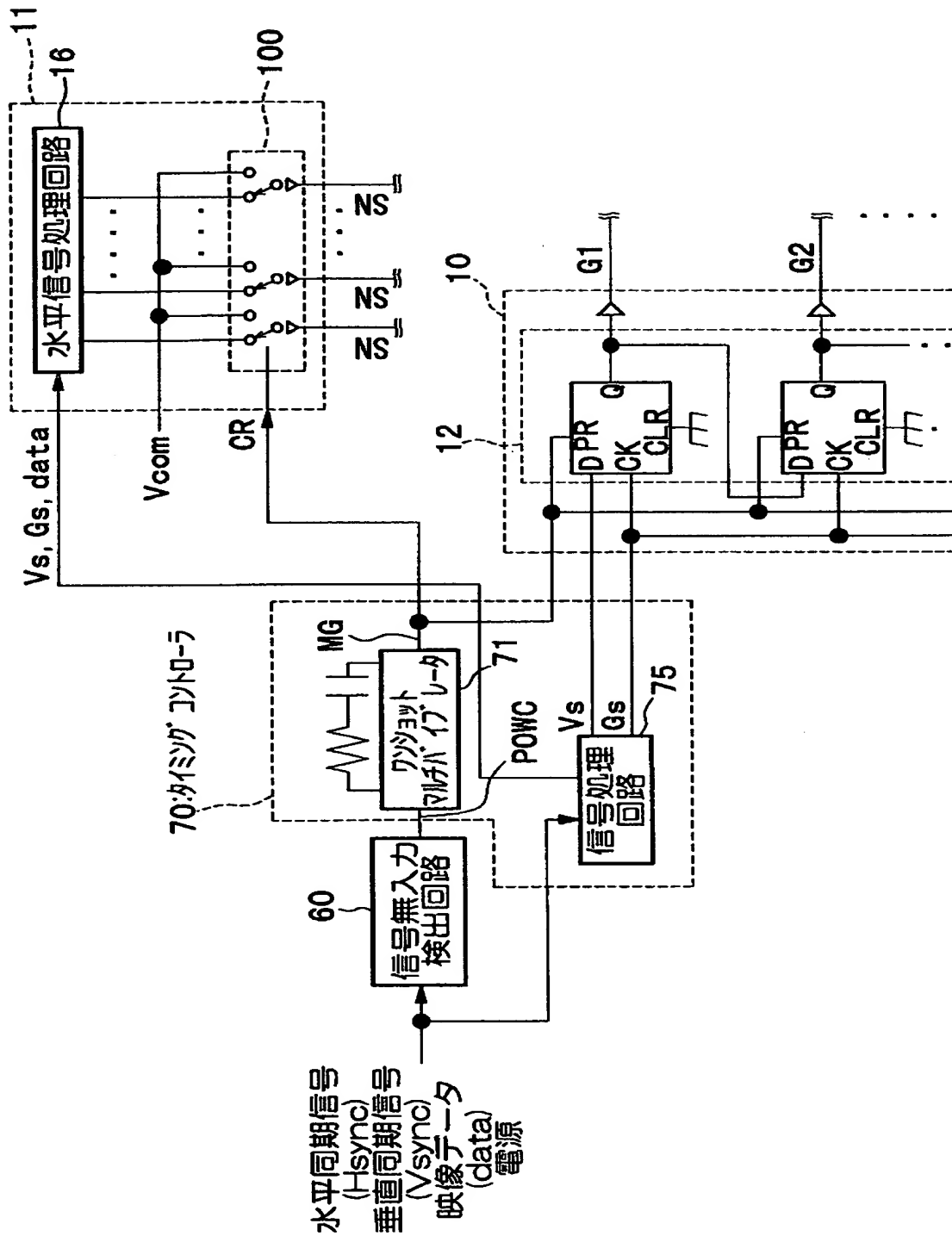
【符号の説明】

- 1 0 ゲートドライバ（ゲート線駆動手段）
- 1 1 ソースドライバ（データ線駆動手段）
- 1 2 シフトレジスタ
- 1 6 水平信号処理回路
- 2 0 映像信号処理回路（制御手段）
- 2 6 バックライト駆動回路
- 2 4 バックライト
- 5 0 表示パネル

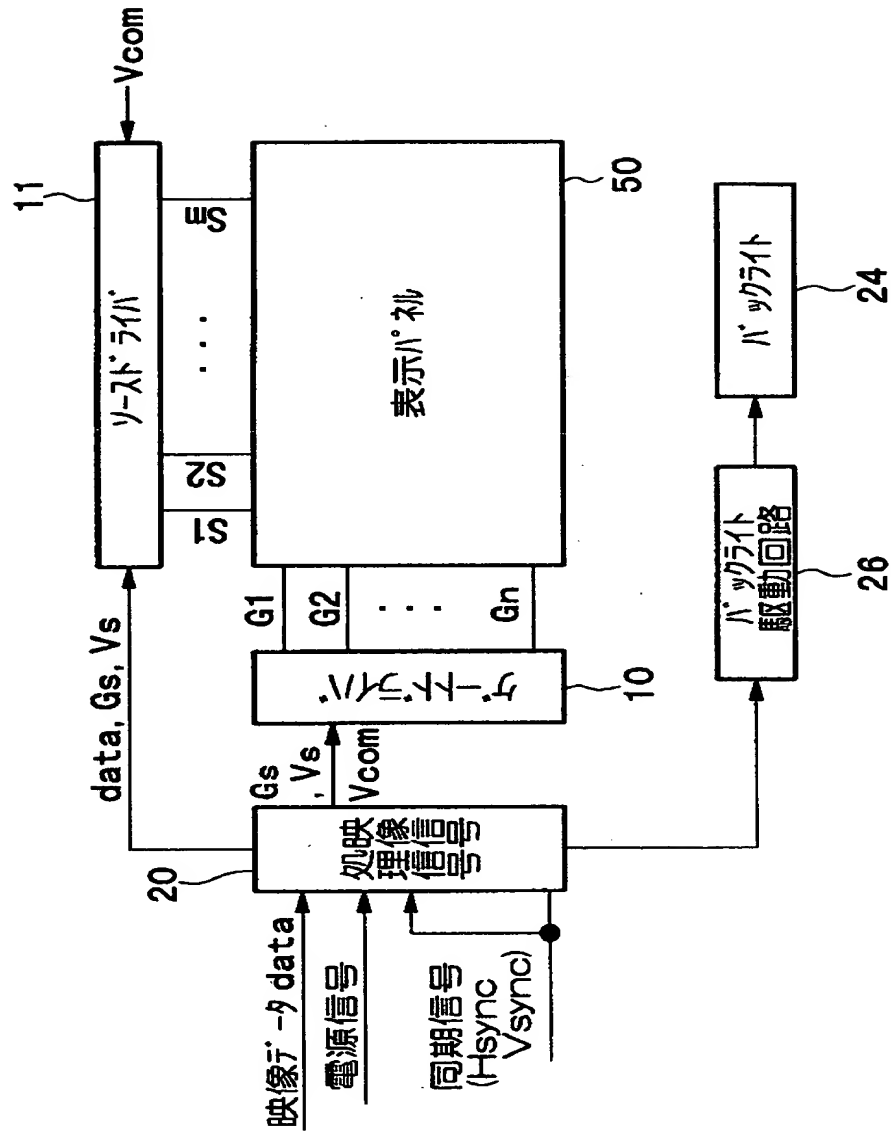
- 6 0 信号無入力回路 (信号無入力手段)
- 7 1 ワンショットマルチバイブレータ
- 7 2 薄膜トランジスタ (スイッチング素子)
- 7 4 画素電極
- 7 5 信号処理回路
- 8 0 データ線
- 8 2 ゲート線
- 1 0 0 出力切替え回路
- G 1 ~ G n ゲート線
- S 1 ~ S m データ線
- C 1、C 2 容量
- C L 液晶容量

【書類名】 図面

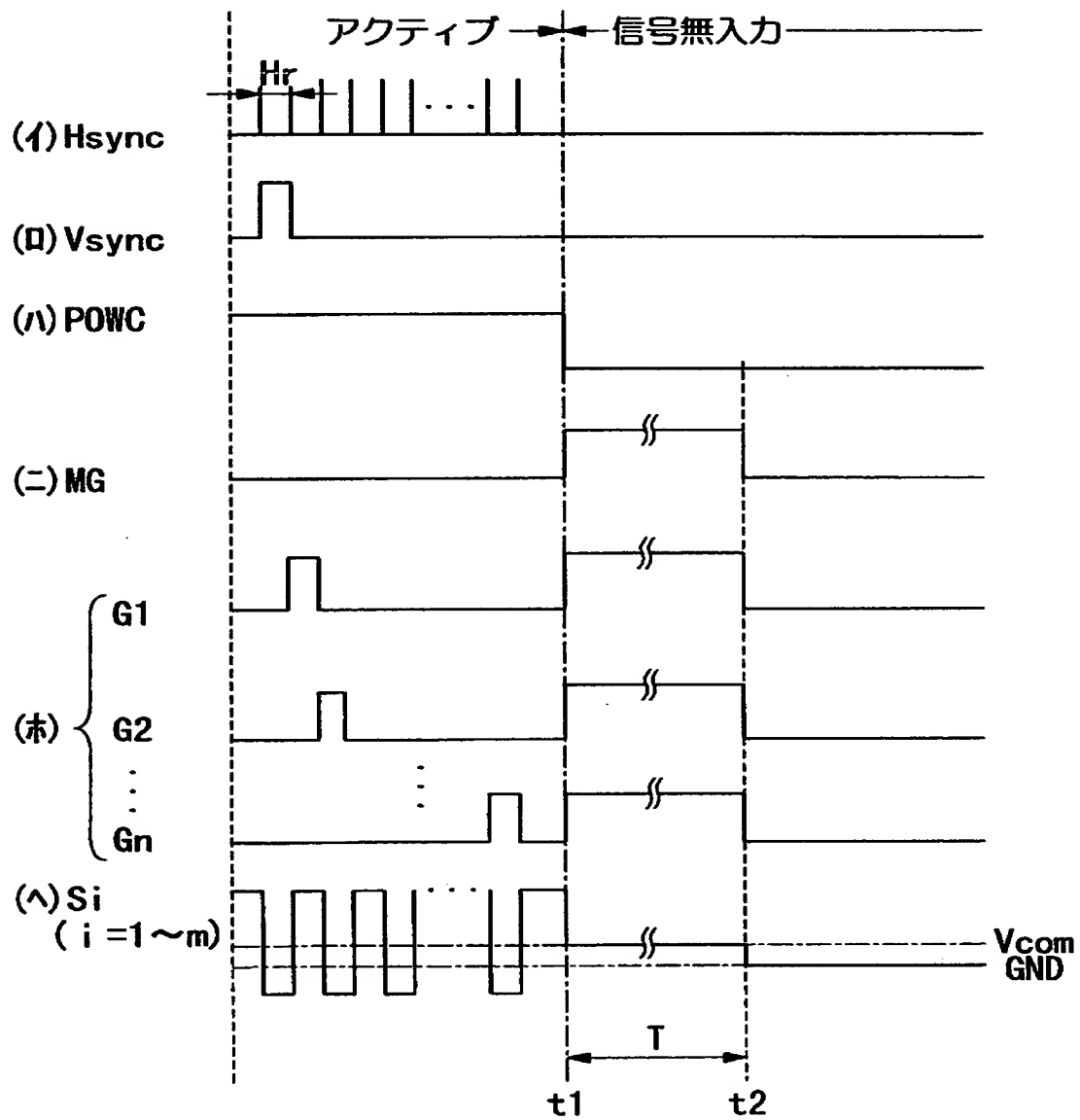
【図 1】



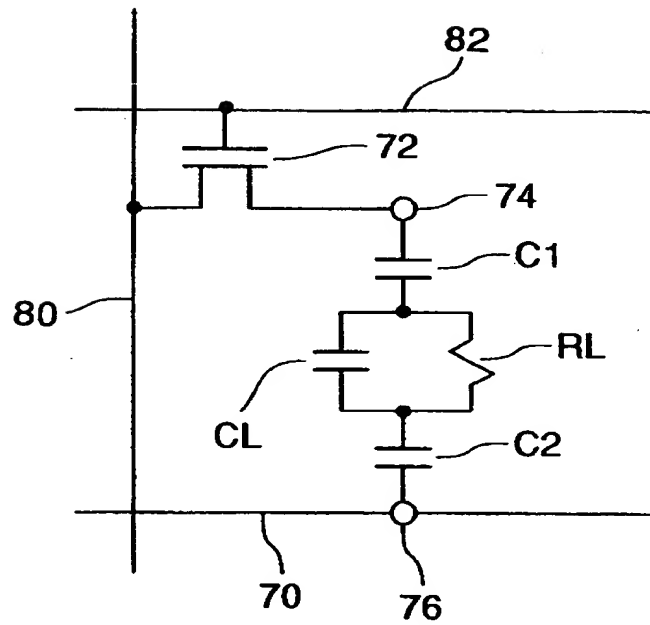
【図2】



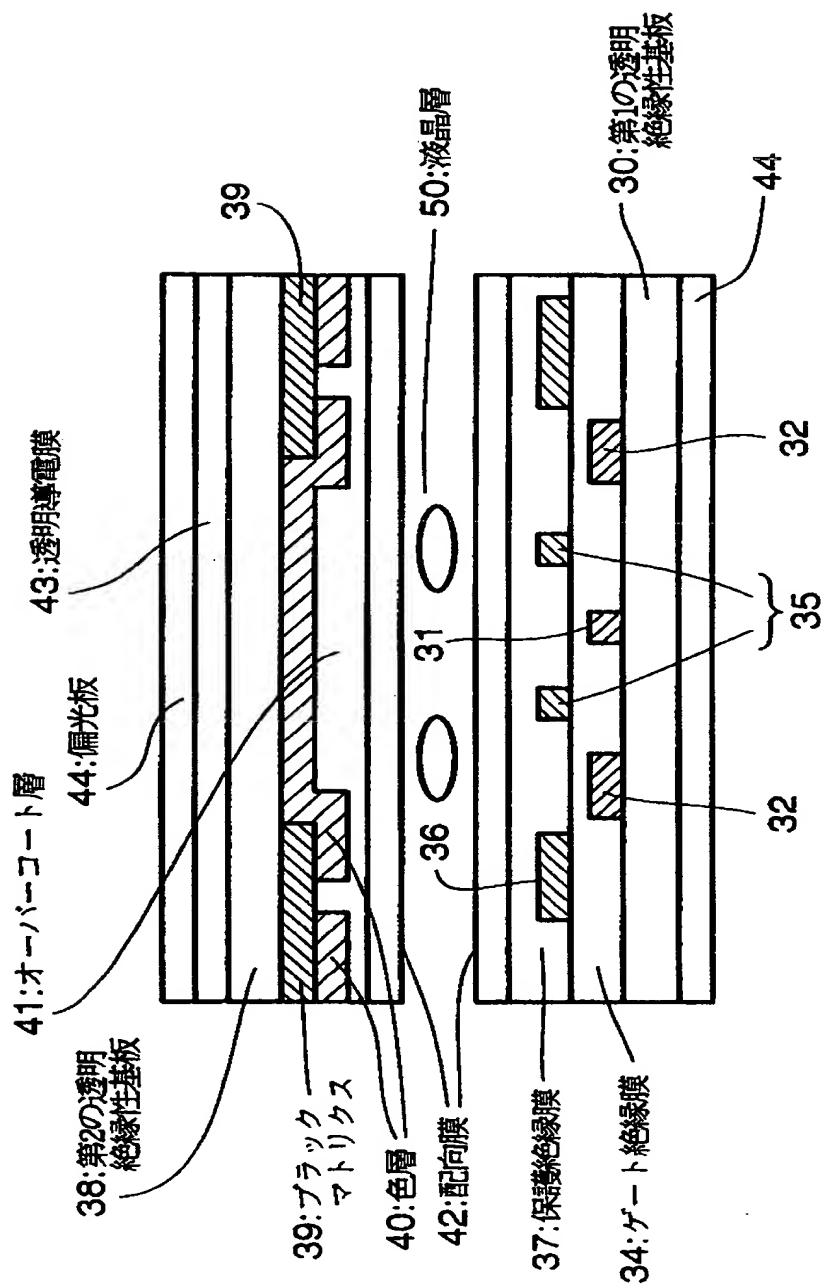
【図 3】



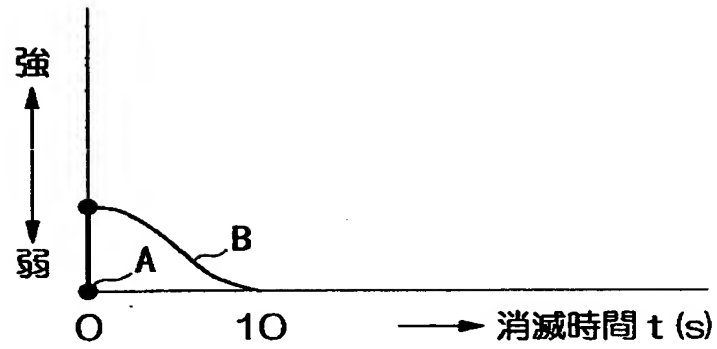
【図 4】



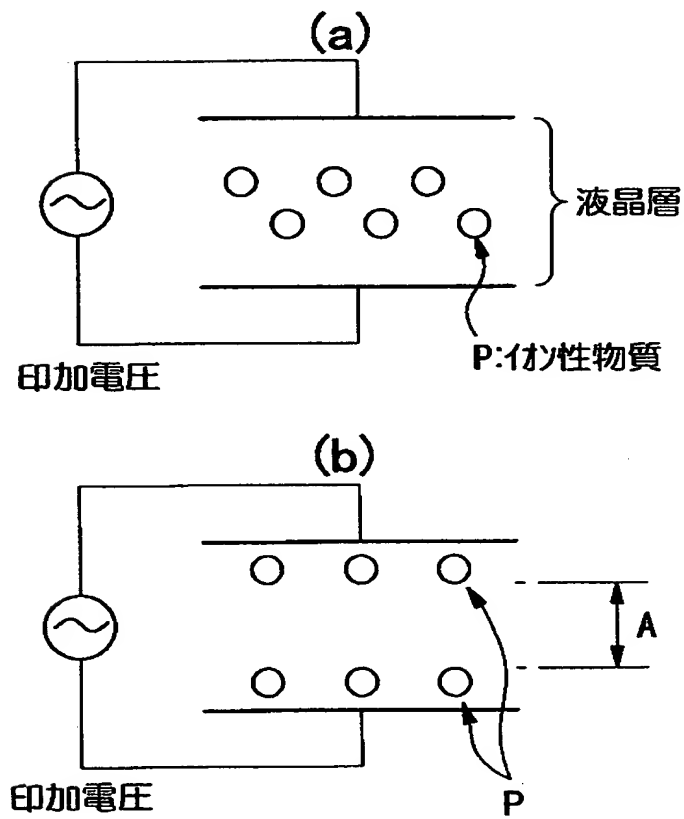
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 残像の防止を図り、液晶の寿命と信頼性の向上を図った液晶表示装置及びその駆動方法を提供する。

【解決手段】 利用者により電源オフの操作がされた場合、入力信号がオフとなったことを信号無入力検出回路 6 0 が検出し、判定信号 P O W C を “ L ” にして出力する。ワンショットマルチバイブレータ 7 1 は、“ L ” である判定信号 P O W C を受け取ると、所定のパルス幅のパルス信号 M G をシフトレジスタ 1 2 及び出力切り替え回路 1 0 0 へ出力する。これにより、シフトレジスタ 1 2 は所定の期間、ゲート線をアクティブにし、一方、出力切替え回路 1 0 0 は所定の期間データ線を共通電位 V c o m に接続する。この結果、表示パネル 5 0 の全ての単位画素は一斉にアクティブ状態となり、画素電極に共通電位 V c o m が供給されることにより、液晶に蓄電されていた電荷を放電することができる。

【選択図】 図 1

認定 - 付加情報

特許出願の番号	特願 2000-016302
受付番号	50000073552
書類名	特許願
担当官	伊藤 雅美 2132
作成日	平成12年 2月 4日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目7番1号
【氏名又は名称】	日本電気株式会社

【代理人】

申請人

【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	高橋 詔男
----------	-------

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	志賀 正武
----------	-------

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	青山 正和
----------	-------

【選任した代理人】

【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	村山 靖彦
----------	-------

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社